

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

1c781 U.S. PRO
09/583233
05/31/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出 願 年 月 日
Date of Application:

1999年12月20日

願 番 号
Application Number:

平成11年特許願第360579号

願 人
Applicant(s):

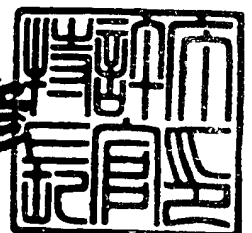
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 3月17日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 9940526

【提出日】 平成11年12月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 半導体記憶装置およびその制御方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 古館 友美

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 市川 貴朗

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 川又 潤弥

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 古川 秀之

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 庄司 春雄

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通

株式会社内

【氏名】 松野 △壊▽

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 吉本 辰也

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 北村 真人

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100072718

【弁理士】

【氏名又は名称】 古谷 史旺

【電話番号】 3343-2901

【選任した代理人】

【識別番号】 100075591

【弁理士】

【氏名又は名称】 鈴木 榮祐

【手数料の表示】

【予納台帳番号】 013354

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特平 1 1 - 3 6 0 5 7 9

【包括委任状番号】 9704947

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびその制御方法

【特許請求の範囲】

【請求項 1】 2 の n 乗 (n は正の整数) より大きく、かつ 2 の $(n + 1)$ 乗より小さいアドレス空間に対応する複数のメモリセルと、

外部から供給されるアドレス信号が前記アドレス空間外を示すことを検出する無効アドレス検出回路と、

前記無効アドレス検出回路の前記検出時に、無効信号を外部に出力する無効信号出力回路とを備えたことを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 記載の半導体記憶装置において、

読み出し動作における前記無効アドレス検出回路の前記検出時に、直前の読み出し動作サイクルで読み出されたデータ信号を外部に出力させる出力制御回路を備えたことを特徴とする半導体記憶装置。

【請求項 3】 請求項 2 記載の半導体記憶装置において、

前記メモリセルからの読み出しデータ信号を取り込み、取り込んだ該データを外部に出力する出力回路を備え、

前記出力回路は、読み出し動作における前記無効アドレス検出回路の前記検出時に、取り込んでいるデータを前記出力制御回路の制御を受けて出力し続けることを特徴とする半導体記憶装置。

【請求項 4】 請求項 1 記載の半導体記憶装置において、

読み出し動作における前記無効アドレス検出回路の前記検出時に、データ出力端子を高インピーダンスにする出力制御回路を備えたことを特徴とする半導体記憶装置。

【請求項 5】 2 の n 乗 (n は正の整数) より大きく、かつ 2 の $(n + 1)$ 乗より小さいアドレス空間に対応する複数のメモリセルと、

外部から供給されるアドレス信号が前記アドレス空間外を示すこと検出する無効アドレス検出回路と、

読み出し動作における前記無効アドレス検出回路の前記検出時に、直前の読み出し動作サイクルで読み出されたデータ信号を外部に出力させる出力制御回路と

を備えたことを特徴とする半導体記憶装置。

【請求項 6】 請求項 5 記載の半導体記憶装置において、

前記メモリセルからの読み出しデータ信号を取り込み、取り込んだ該データを外部に出力する出力回路を備え、

前記出力回路は、読み出し動作における前記無効アドレス検出回路の前記検出時に、取り込んでいるデータを出力制御回路の制御を受けて出力し続けることを特徴とする半導体記憶装置。

【請求項 7】 2 の n 乗 (n は正の整数) より大きく、かつ 2 の $(n + 1)$ 乗より小さいアドレス空間に対応する複数の不揮発性のメモリセルと、

外部からのコマンド入力に応じて、前記メモリセルへの書き込み動作または消去動作を内部で自動的に実行するコマンド制御回路と、

前記コマンド入力として供給されるアドレス信号が前記アドレス空間外を示すことを検出する無効アドレス検出回路とを備え、

前記無効アドレス検出回路の前記検出時に、前記コマンド入力は無効にされることを特徴とする半導体記憶装置。

【請求項 8】 請求項 7 記載の半導体記憶装置において、

前記無効アドレス検出回路の前記検出時に、外部に無効信号を出力する無効信号出力回路を備えたことを特徴とする半導体記憶装置。

【請求項 9】 2 の n 乗 (n は正の整数) より大きく、かつ 2 の $(n + 1)$ 乗より小さいアドレス空間に対応する複数のメモリセルを有する半導体集積回路の制御方法であって、

外部から供給されるアドレス信号が前記アドレス空間外を示すことを検出したときに、無効信号を外部に出力することを特徴とする半導体記憶装置の制御方法。

。

【請求項 10】 2 の n 乗 (n は正の整数) より大きく、かつ 2 の $(n + 1)$ 乗より小さいアドレス空間に対応する複数のメモリセルを有し、外部からのコマンド入力に応じて、前記メモリセルへの書き込み動作または消去動作を内部で自動的に実行する半導体集積回路の制御方法であって、

外部から供給されるアドレス信号が前記アドレス空間外を示すことを検出した

ときに、前記コマンド入力を無効にすることを特徴とする半導体記憶装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、そのアドレス空間が2の n 乗より大きく2の $(n+1)$ 乗より小さい半導体記憶装置およびその制御方法に関する。

【0002】

【従来の技術】

一般に、フラッシュメモリ、SRAM、およびDRAM等の半導体記憶装置は、2の n 乗のアドレス空間を有し、これ等アドレス空間にそれぞれ対応する複数のメモリセルを有している。例えば、16個の入出力端子($I/O=16$ ビット)を有する64メガビットのフラッシュメモリは、22本のアドレス端子でアドレス信号を受け、4メガのアドレス空間を制御している。このようにアドレス空間を2の n 乗にすることで、半導体記憶装置に供給される全アドレスに対応して、メモリセルの読み書きが実行される。

【0003】

一方、半導体製造プロセスの微細化に伴い、半導体記憶装置のメモリ容量は増加している。この結果、一部のシステム装置では、搭載する半導体記憶装置のメモリ容量が、実際に使用するメモリ容量より大きくなる場合がある。すなわち、使用されない無駄なアドレス空間が、搭載する半導体記憶装置に存在してしまう。このような状況の中、2の n 乗(n :正の整数)ではないアドレス空間を有する半導体記憶装置が要求されている。

【0004】

例えば、3メガのアドレス空間を有する半導体記憶装置の場合、4メガのアドレス空間に対応する22本のアドレス端子を形成する必要がある。この結果、アドレス信号の一部は、メモリセルに対応しない無効アドレスになる。無効アドレスが半導体記憶装置に供給された場合、読み出し動作では、誤データが出力されるおそれがあり、書き込み動作では、誤データがメモリセルに書き込まれるおそれ

がある。

【 0 0 0 5 】

特開平 7 - 7 8 4 6 6 号公報では、無効なアドレス信号が供給されたことを検出する検出回路を設け、検出時にデータの出力を抑止する制御信号を生成している。

【 0 0 0 6 】

【発明が解決しようとする課題】

しかしながら、上述した無効アドレスは、半導体記憶装置を搭載するシステム装置が意図的に出力するのではなく、電源ノイズ、誤ったプログラム等で発生することが多い。この場合、システム装置は、無効アドレスが半導体記憶装置に供給されたことを認識できない。例えば、読み出し動作において、半導体記憶装置が無効アドレスを受け、入出力端子を高インピーダンスにしても、システム装置は、高インピーダンス状態のレベル（システム装置上でデータバスをプルアップしている場合、Hレベル）を正常なデータとして取り込んでしまう。すなわち、無効アドレスを検出し、データの出力を抑止するだけでは、システム装置は正常に動作しない。正常に動作するためには、システム装置は、無効アドレスが半導体記憶装置に供給されたことを検出しなくてはならない。

【 0 0 0 7 】

また、書き込み動作において、半導体記憶装置が無効アドレスを受けた場合、システム装置が意図する本来のアドレスには、データは書き込まれない。この結果、その後の読み出し動作において、システム装置は、書き込んだはずのデータを正しく読み出せない。

本発明の目的は、無効なアドレス信号を受けたことを外部に伝達することで、半導体記憶装置を搭載するシステム装置の誤動作を未然に防止することにある。

【 0 0 0 8 】

本発明の別の目的は、無効なアドレス信号を受けたときに、その動作サイクルを無効にすることにある。

本発明のさらなる別の目的は、無効なアドレス信号を受けたときに、無駄な電力の消費を防止することにある。

【0009】

【課題を解決するための手段】

請求項1の半導体記憶装置は、 2 の n 乗より大きく、 2 の $(n+1)$ 乗より小さいアドレス空間に対応する複数のメモリセルと、無効アドレス検出回路と、無効信号出力回路とを有している。無効アドレス検出回路は、外部から供給されるアドレス信号がアドレス空間に対応していないことを検出する。無効信号出力回路は、無効アドレス検出回路の検出を受けて、無効信号を外部に出力する。

【0010】

このため、半導体記憶装置を搭載するシステム装置は、無効なアドレス信号が半導体記憶装置に供給されたことを容易に認識できる。この結果、誤動作が未然に防止され、システム装置の信頼性が向上される。

請求項2の半導体記憶装置は、出力制御回路を備えている。出力制御回路は、読み出し動作において、無効アドレス検出回路の検出時に、直前の読み出し動作サイクルで読み出されたデータ信号を外部に出力する制御を行う。無効なアドレス信号の供給時に、データ端子の信号レベルを変化させないことで、消費電力が低減される。

【0011】

請求項3の半導体記憶装置は、メモリセルからの読み出しデータ信号を取り込み、取り込んだデータを外部に出力する出力回路を備えている。出力回路は、読み出し動作において、無効アドレス検出回路の検出時に出力制御回路の制御を受け、取り込んでいるデータを出力し続ける。このため、本発明を、読み出し動作が連続して実行されるフラッシュメモリ、EPROM等に適用することで、より消費電力が低減される。

【0012】

請求項4の半導体記憶装置は、読み出し動作における前記無効アドレス検出回路の前記検出時に、データ端子を高インピーダンスにする出力制御回路を備えている。無効なアドレス信号の供給時に、データ出力端子が高インピーダンスになるため、消費電力が低減される。

請求項5の半導体記憶装置は、 2 の n 乗より大きく、 2 の $(n+1)$ 乗より小

さいアドレス空間に対応する複数のメモリセルと、無効アドレス検出回路と、出力制御回路とを備えている。無効アドレス検出回路は、外部から供給されるアドレス信号がアドレス空間外を示すこと検出する。出力制御回路は、読み出し動作において、無効アドレス検出回路の検出時に、直前の読み出し動作サイクルで読み出されたデータ信号を出力し続ける制御を行う。無効なアドレス信号の供給時に、データ端子の信号レベルを変化させないことで、消費電力が低減される。

【0013】

請求項6の半導体記憶装置は、メモリセルからの読み出しデータ信号を取り込み、取り込んだ該データを外部に出力する出力回路を備えている。出力回路は、読み出し動作において、無効アドレス検出回路の検出時に、出力制御回路の制御を受けて取り込んでいるデータを出力し続ける。この半導体記憶装置を搭載するシステム装置は、連続して読み出したデータ信号が変化しないことを検出することで、無効なアドレス信号が半導体記憶装置に供給されたことを認識できる。すなわち、誤動作が未然に防止され、システム装置の信頼性が向上される。

【0014】

請求項7の半導体記憶装置は、2の n 乗より大きく、かつ2の $(n+1)$ 乗より小さいアドレス空間に対応する複数の不揮発性のメモリセルと、コマンド制御回路と、無効アドレス検出回路とを備えている。コマンド制御回路は、外部からのコマンド入力に応じて、メモリセルへの書き込み動作または消去動作を内部で自動的に実行する。無効アドレス検出回路は、コマンド入力として供給されるアドレス信号がアドレス空間外を示すことを検出する。そして、無効アドレス検出回路の検出時に、コマンド入力は無効にされる。

【0015】

このため、無効アドレスの供給時には、内部回路は活性化されず、誤って書き込み動作または消去動作が実行されることが防止される。内部回路が動作しないため、消費電力が低減される。

請求項8の半導体記憶装置は、無効アドレス検出回路の検出時に、外部に無効信号を出力する無効信号出力回路を備えている。このため、半導体記憶装置を搭載するシステム装置は、無効なアドレス信号が半導体記憶装置に供給されたこと

を容易に認識できる。したがって、誤動作が未然に防止され、システム装置の信頼性が向上される。

【 0 0 1 6 】

請求項 9 の半導体記憶装置の制御方法では、外部から供給されるアドレス信号がアドレス空間外を示すことを検出したときに、無効信号が外部に出力される。このため、2 の n 乗 (n は正の整数) より大きく、かつ 2 の $(n + 1)$ 乗より小さいアドレス空間に対応する複数のメモリセルを有する半導体集積回路を搭載するシステム装置は、無効なアドレス信号が半導体記憶装置に供給されたことを容易に認識できる。この結果、誤動作が未然に防止され、システム装置の信頼性が向上される。

【 0 0 1 7 】

請求項 1 0 の半導体記憶装置の制御方法では、コマンド入力時に、外部から供給されるアドレス信号が前記アドレス空間外を示すことを検出したときに、そのコマンド入力は無効にされる。したがって、2 の n 乗 (n は正の整数) より大きく、かつ 2 の $(n + 1)$ 乗より小さいアドレス空間に対応する複数のメモリセルを有する半導体集積回路において、無効アドレスの供給時には、内部回路は活性化されず、誤って書き込み動作または消去動作が実行されることが防止される。内部回路が動作しないため、消費電力が大幅に低減される。

【 0 0 1 8 】

【発明の実施の形態】

以下、本発明の実施形態を図面を用いて説明する。

図 1 は、本発明の半導体記憶装置およびその制御方法の第 1 の実施形態を示している。この実施形態は、請求項 1 ないし請求項 3、請求項 5、請求項 6、および請求項 9 に対応している。なお、以降の説明では、“アドレス端子 AD” を“アドレス信号 AD” のように、端子を介して供給される信号には、端子名と同じ符号を使用する。また、“アドレス信号 AD” を“AD 信号” のように、信号名を略す場合がある。信号名に“/” が付く信号は、負論理の信号である。各図面において太線で示した信号線は、複数本で構成されていることを示している。また、太線が接続されたブロックの一部は、複数の回路で構成されている。

【0019】

この実施形態の半導体記憶装置は、22個のアドレス端子ADと16個のデータ入出力端子DQ（I/O=16ビット）とを有し、48メガビットのフラッシュメモリMとして形成されている。すなわち、フラッシュメモリMは、3メガのアドレス空間を有している。

図2は、このフラッシュメモリMを搭載するシステム装置のアドレスマップの例を示している。システム装置は、(000000)hから(2FFFFFF)hまでをフラッシュメモリMのアドレス空間に割り当てている。末尾の“h”は、各アドレスが16進数であることを示している。(300000)hから(3FFFFFF)hのアドレス空間は、使用禁止領域にされている。(4000000)h以降のアドレス空間は、SRAM等の他のデバイスが割り当てられている。

【0020】

図1に示したように、フラッシュメモリMは、コマンドレジスタ10、メモリ制御回路12、アドレスバッファ14、無効アドレス検出回路16、出力制御回路18、無効信号出力回路20、アドレスデコーダ22、メモリセルアレイ24、センスアンプ26、および出力回路である出力ラッチ28、出力バッファ30を有している。

【0021】

コマンドレジスタ10は、チップイネーブル信号/CE、ライトイネーブル信号/WE等を、入力コマンドとして受け、入力コマンドに応じた制御信号CNTを出力している。メモリ制御回路12は、制御信号CNTを受け、チップの動作を制御するタイミング信号TIM等を出力している。ここで、メモリ制御回路12は、書き込み制御回路、読み出し制御回路、および消去制御回路を含んでいる。

【0022】

アドレスバッファ14は、アドレス信号ADを受け、受けた信号を内部アドレス信号IADとして出力している。無効アドレス検出回路16は、IAD信号を受け、無効アドレスの検出信号DTCTを出力している。DTCT信号は、IAD信号に対応するメモリセルMCがない場合に活性化される。

出力制御回路18は、DTCT信号を受け、ラッチ信号LTCを出力している。LTC信

号は、DTCT信号の非活性化時（Lレベル）に活性化され、DTCT信号の活性化時（Hレベル）に非活性化される。無効信号出力回路20は、DTCT信号の活性化時（Hレベル）に、供給されたAD信号がアドレス空間外（無効アドレス）であることを示す無効信号FLAGを出力している。

【0023】

アドレスデコーダ22は、LレベルのDTCT信号により活性化され、IAD信号に応じたデコード信号（図示せず）をメモリセルアレイ24に出力している。アドレスデコーダ22は、特に図示していないがロウアドレスデコーダとコラムアドレスデコーダとを有している。ロウアドレスデコーダにより、ワード線が選択され、コラムアドレスデコーダにより、コラム選択線が選択される。そして、メモリセルアレイ24内に縦横にレイアウトされたメモリセルMCが、ワード線およびコラム選択線により選択され、読み出し動作、書き込み動作、消去動作が実行される。

【0024】

センスアンプ26は、読み出し動作時に、LレベルのDTCT信号を受け活性化される。センスアンプ26は、ビット線（図示せず）を介して伝達されるメモリセルMCからの読み出しデータを増幅し、増幅したデータを出力ラッチ28に伝達する。

出力ラッチ28は、センスアンプ26からの読み出しデータをLTCH信号に同期して取り込み、取り込んだデータを出力している。出力バッファ30は、出力イネーブル信号/OEの活性化時（Lレベル）に、出力ラッチ28からの読み出しデータをデータ入出力信号DQとして出力している。

【0025】

次に、上述したフラッシュメモリMの動作を説明する。一般に、フラッシュメモリMの読み出し動作は、ランダムなアドレス信号を受けて実行され、書き込み動作および消去動作は、コマンド入力により所定のバイト数のブロックを指定して実行される。この実施形態では、読み出し動作について詳細に説明する。書き込み動作および消去動作については、後述する第3の実施形態で詳細に説明する。

【0026】

図3は、フラッシュメモリMの/CE信号、/OE信号がLレベルに固定され、/WE信号がHレベルにされた状態での読み出し動作を示している。

まず、動作サイクルC1において、例えば、アドレス(1FFFFF)hが、フラッシュメモリMに供給される。図1に示した無効アドレス検出回路16は、受けたIAD信号を有効と判定し、LレベルのDTCT信号を出力する。DTCT信号を受けて、アドレスデコーダ22およびセンスアンプ26は、活性化され、出力制御回路18は、LTCH信号を活性化する。そして、メモリセルMCから読み出されたデータは、出力ラッチ28に取り込まれ、出力バッファ30からDQ信号（有効データ）として出力される。

【0027】

次に、動作サイクルC2において、アドレス(3FFFFFF)hが、フラッシュメモリMに供給される。このアドレスは、フラッシュメモリMを搭載するシステム装置が意図的に供給したものではなく、電源ノイズまたはクロストーク等により発生したものである。実際には、システム装置は、例えば、アドレス(2FFFFFF)hを出力している。

【0028】

無効アドレス検出回路16は、受けたIAD信号を無効と判定し、HレベルのDTCT信号を出力する。アドレスデコーダ22およびセンスアンプ26は、DTCT信号を受けて非活性化される。すなわち、無効なアドレス信号を受けた場合、メモリセルの選択は禁止され、読み出し動作は実行されない。出力制御回路18は、DTCT信号を受け、LTCH信号の非活性状態を保持する。したがって、出力ラッチ28は、非活性化されたセンスアンプ26からの不確定なデータを取り込むまない。そして、直前の読み出し動作で取り込んだ読み出しデータがDQ端子から継続して出力される。このとき、アドレスデコーダ22およびセンスアンプ26等の内部回路が動作しないため、消費電力が低減される。また、各DQ端子の状態（電圧）が変化しないため、システム装置上のデータバスの電流が低減され、さらに消費電力が低減される。

【0029】

また、無効信号出力回路 20 は、DTCT信号を受けてFLAG信号を活性化（Hレベル）する。すなわち、供給されたアドレス信号ADが無効なアドレス空間を示していることがシステム装置に伝達される。システム装置は、FLAG信号を受けて、例えば、エラー処理等を実行する。したがって、FLAG信号により、システム装置の誤動作が防止される。

【0030】

次に、動作サイクルC3において、システム装置は、HレベルのFLAG信号を受けて、再度、アドレス(2FFFFFF)hをフラッシュメモリMに供給し、読み出し動作を実行する。DTCT信号は、有効なアドレス信号ADによりLレベルに変化する。この変化を受けてFLAG信号はLレベルに変化し、有効な読み出しデータがDQ端子から出力される。

【0031】

なお、動作サイクルC2における無効アドレスが、システム装置の誤ったプログラムが原因で発生した場合、フラッシュメモリMは、動作サイクルC3においても無効アドレス(3FFFFFF)hを受け、FLAG信号をHレベルにする。このとき、システム装置は、複数回のFLAG信号を検出することで、無効アドレスがノイズ以外で発生していることを認識できる。

【0032】

以上、本発明の半導体記憶装置およびその制御方法では、動作サイクルにおいて、外部から供給されるアドレス信号がアドレス空間に対応していないことを検出したときに、外部に無効信号FLAGを出力した。このため、2のn乗より大きく、2の(n+1)乗より小さいアドレス空間を有するフラッシュメモリMを搭載するシステム装置は、無効なアドレス信号がフラッシュメモリMに供給されたことを容易に認識できる。この結果、誤動作が未然に防止でき、システム装置の信頼性が向上できる。

【0033】

また、無効アドレスの検出時に、出力ラッチ28に取り込まれている前回の読み出しデータを外部に出力し続けた。無効なアドレス信号の供給時に、データ端子の信号レベルを変化しないため、消費電力が低減される。

さらに、フラッシュメモリMを搭載するシステム装置は、連続して読み出したデータ信号が変化しないことを検出することで、無効アドレスがフラッシュメモリMに供給されたことを認識できる。

【0034】

図4は、本発明の半導体記憶装置およびその制御方法の第2の実施形態を示している。この実施形態は、請求項1、請求項4および請求項9に対応している。なお、第1の実施形態で説明した回路と同一の回路については、同一の符号を付し、これ等回路については、詳細な説明を省略する。

この実施形態の半導体記憶装置は、第1の実施形態と同一のアドレス空間を有するフラッシュメモリMとして形成されている。すなわち、フラッシュメモリMは、3メガのアドレス空間を有している。

【0035】

この実施形態では、センスアンプ32、出力バッファ34が第1の実施形態と相違している。また、第1の実施形態の出力制御回路18および出力ラッチ28は、存在していない。その他の構成は、第1の実施形態と同一である。

センスアンプ32は、読み出しデータの取り込み機能を有している。また、センスアンプ32は、HレベルのDTCT信号を受けて非活性化される。出力バッファ34は、HレベルのDTCT信号を受けたとき、/OE信号の状態に関わらず、常にDQ端子を高インピーダンスにする。

【0036】

図5は、このフラッシュメモリMを搭載するシステム装置のアドレスマップの例を示している。システム装置は、第1の実施形態と同様に、(000000)hから(2FFFFFF)hまでをフラッシュメモリMのアドレス空間に割り当てている。フラッシュメモリMの無効なアドレス空間であるアドレス(300000)hから(3FFFFFF)hおよびアドレス(400000)h以降は、SRAM等の他のデバイスが割り当てられている。

【0037】

図6は、上述したフラッシュメモリMの読み出し動作を示している。この実施形態のフラッシュメモリMは、無効なアドレス信号を受けたときに、出力バッファ34を非活性化し、DQ端子が高インピーダンス(Hi-Z)にする。それ以外の動

作は、第 1 の実施形態と同一である。

この実施形態においても、上述した第 1 の実施形態と同様の効果を得ることができる。さらに、この実施形態では、無効アドレスの供給時に、DQ端子を高インピーダンスにしたので、システム装置上のデータバスの電流を低減でき、消費電力を低減できる。また、フラッシュメモリMの無効アドレス空間を、他のデバイスのアドレス空間に割り当てできるため、システム装置のアドレス空間を無駄なく、効率的に使用できる。

【0038】

図 7 は、本発明の半導体記憶装置およびその制御方法の第 3 の実施形態を示している。この実施形態は、請求項 7、請求項 8、および請求項 10 に対応している。なお、第 1 および第 2 の実施形態で説明した回路と同一の回路については、同一の符号を付し、これ等回路については、詳細な説明を省略する。

この実施形態の半導体記憶装置は、第 1 の実施形態と同一のアドレス空間を有するフラッシュメモリMとして形成されている。すなわち、フラッシュメモリMは、3メガのアドレス空間を有している。

【0039】

この実施形態では、コマンドレジスタ 36 およびメモリ制御回路 38 は、DTCT 信号で制御されている。その他の構成は、第 2 の実施形態と同一である。

図 8 は、フラッシュメモリMの書き込み動作および消去動作におけるコマンド入力処理の制御フローを示している。

まず、ステップ S 1 において、/CE信号、/WE信号等がコマンドとして入力される。

【0040】

ステップ S 2 において、図 7 に示したコマンドレジスタ 36 は、受けたコマンドが正しいか否かを判定する。正しいコマンドを受けた場合、制御は、ステップ S 3 に移行する。誤ったコマンドを受けた場合、制御は、ステップ S 7 に移行する。

ステップ S 3 において、書き込みアドレスまたは消去アドレスが入力される。

【0041】

次に、ステップS4において、無効アドレス検出回路16は、受けたアドレス信号が有効か否かを判定する。有効アドレスを受けた場合、制御は、ステップS5に移行する。無効アドレスを受けた場合、無効アドレス検出回路16は、HレベルのDTCT信号を出力する。そして、制御は、ステップS6に移行する。

【0042】

ステップS5において、フラッシュメモリMは、受けたコマンドに応じて、書き込み動作または消去動作を内部で自動的に実行する。この後、フラッシュメモリMは、再び、コマンド入力待ちになる。

一方、ステップS6において、図7に示した無効信号出力回路20は、HレベルのDTCT信号を受けて、FLAG信号をHレベルに変化する。そして、制御は、ステップS7に移行する。

【0043】

ステップS7において、コマンドレジスタ36およびメモリ制御回路38は、HレベルのDTCT信号を受けてリセットし、ステップS1で受けてコマンド入力を無効にする。したがって、フラッシュメモリMは、書き込み動作または消去動作を実行しない。この後、フラッシュメモリMは、再び、コマンド入力待ちになる。

なお、この実施形態の読み出し動作は、第2の実施形態と同様に実行される。

【0044】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、無効アドレスの供給時に、コマンドレジスタ36およびメモリ制御回路38をリセットした。このため、無効アドレスに対する書き込み動作および消去動作の実行を防止できる。この結果、フラッシュメモリMを搭載するシステム装置の信頼性を向上できる。無効アドレスの供給時に内部回路が動作しないため、消費電力を低減できる。

【0045】

なお、上述した実施形態では、本発明を、データ入出力端子DQを有するフラッシュメモリMに適用した例について述べた。これに限定されず、本発明を、出力端子および入力端子をそれぞれ有するフラッシュメモリMに適用してもよい。

また、上述した実施形態では、本発明をフラッシュメモリに適用した例について述べた。これに限定されず、本発明をEPROM、DRAM、SRAM等に適用してもよい。この際、無効アドレスの供給時に直前のデータ信号を継続して出力する第1の実施形態は、読み出し動作を連続して実行するEPROM等に適用すると、より大きな効果が得られる。

【0046】

上述した第1および第2の実施形態では、読み出し動作が連続して実行される場合について説明した。これに限定されず、書き込み動作後の読み出し動作および書き込み動作において、無効アドレスの供給時に、無効信号FLAGを出力しても、同様の効果を得ることができる。

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【0047】

【発明の効果】

請求項1、請求項6、請求項8の半導体記憶装置、および請求項9の半導体記憶装置の制御方法では、半導体記憶装置を搭載するシステム装置は、無効なアドレス信号が半導体記憶装置に供給されたことを容易に認識できる。この結果、誤動作を未然に防止できる。

【0048】

請求項2ないし請求項5の半導体記憶装置では、消費電力が低減できる。

請求項7の半導体記憶装置、および請求項10の半導体記憶装置の制御方法では、無効アドレスの供給時に、誤って書き込み動作または消去動作が実行されることを防止できる。内部回路が動作しないため、消費電力を大幅に低減できる。

【図面の簡単な説明】

【図1】

第1の実施形態の半導体集積回路を示すブロック図である。

【図2】

第1の実施形態の半導体集積回路を搭載するシステム装置のアドレスマップで

ある。

【図 3】

第 1 の実施形態の半導体集積回路の読み出し動作を示すタイミング図である。

【図 4】

第 2 の実施形態の半導体集積回路を示すブロック図である。

【図 5】

第 2 の実施形態の半導体集積回路を搭載するシステム装置のアドレスマップである。

【図 6】

第 2 の実施形態の半導体集積回路の読み出し動作を示すタイミング図である。

【図 7】

第 3 の実施形態の半導体集積回路を示すブロック図である。

【図 8】

第 3 の実施形態の半導体集積回路のコマンド入力処理を示す制御フローである。

【符号の説明】

- 1 0 コマンドレジスタ
- 1 2 メモリ制御回路
- 1 4 アドレスバッファ
- 1 6 無効アドレス検出回路
- 1 8 出力制御回路
- 2 0 無効信号出力回路
- 2 2 アドレスデコーダ
- 2 4 メモリセルアレイ
- 2 6 センスアンプ
- 2 8 出力ラッチ
- 3 0 出力バッファ
- 3 2 センスアンプ
- 3 4 出力バッファ

36 コマンドレジスタ

38 メモリ制御回路

AD アドレス信号、アドレス端子

/CE チップイネーブル信号

DQ データ入出力信号、データ入出力端子

DTCT 検出信号

FLAG 無効信号

IAD 内部アドレス信号

LTC ラッチ信号

M フラッシュメモリ

MC メモリセル

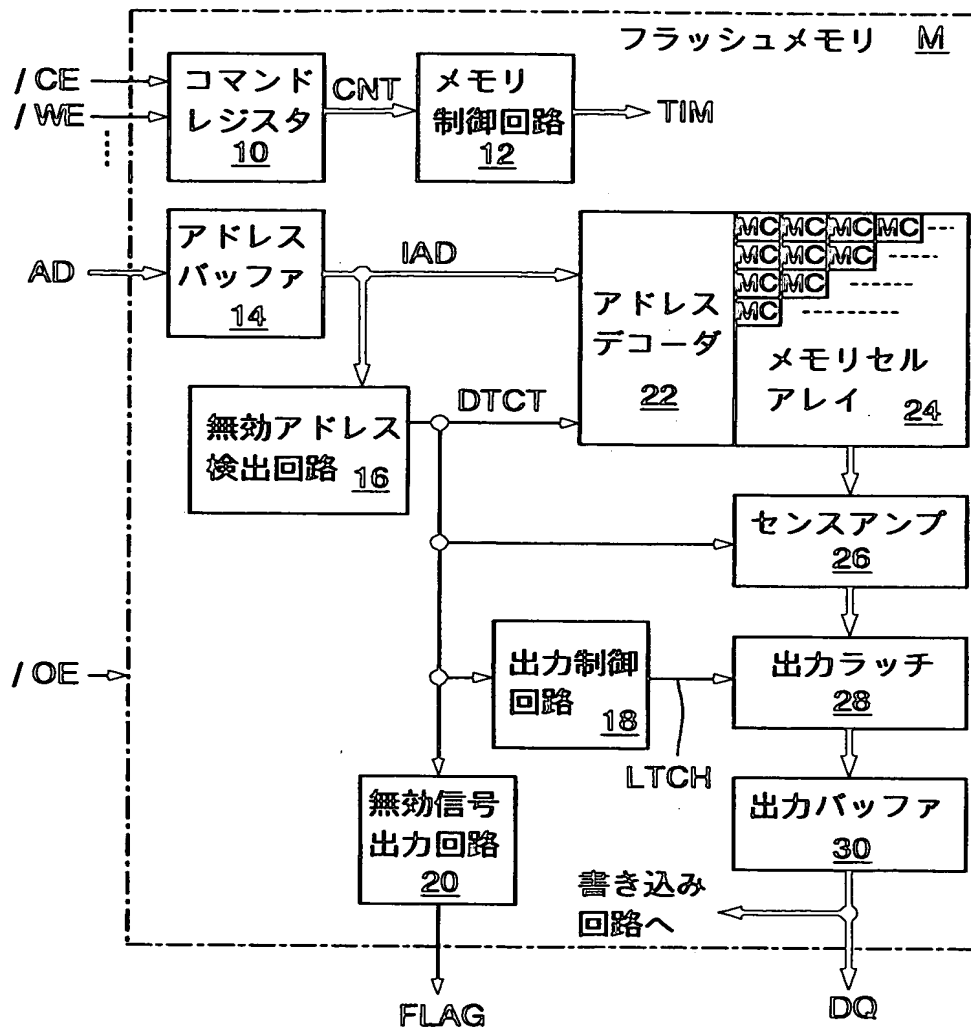
/OE 出力イネーブル信号

/WE ライトイネーブル信号

【書類名】 図面

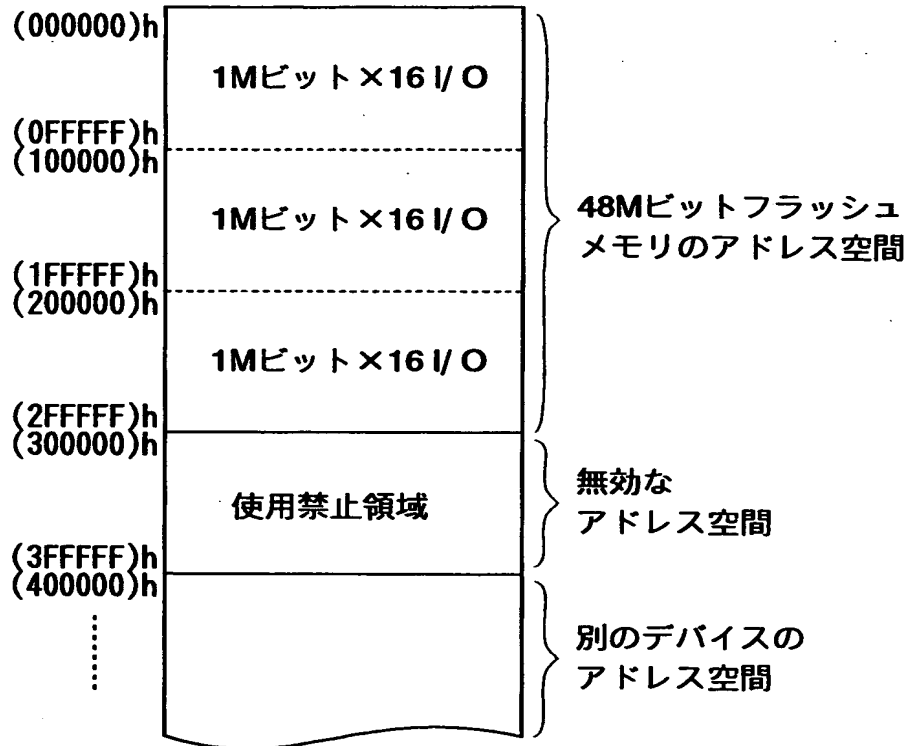
【図 1】

第 1 の実施形態を示すブロック図



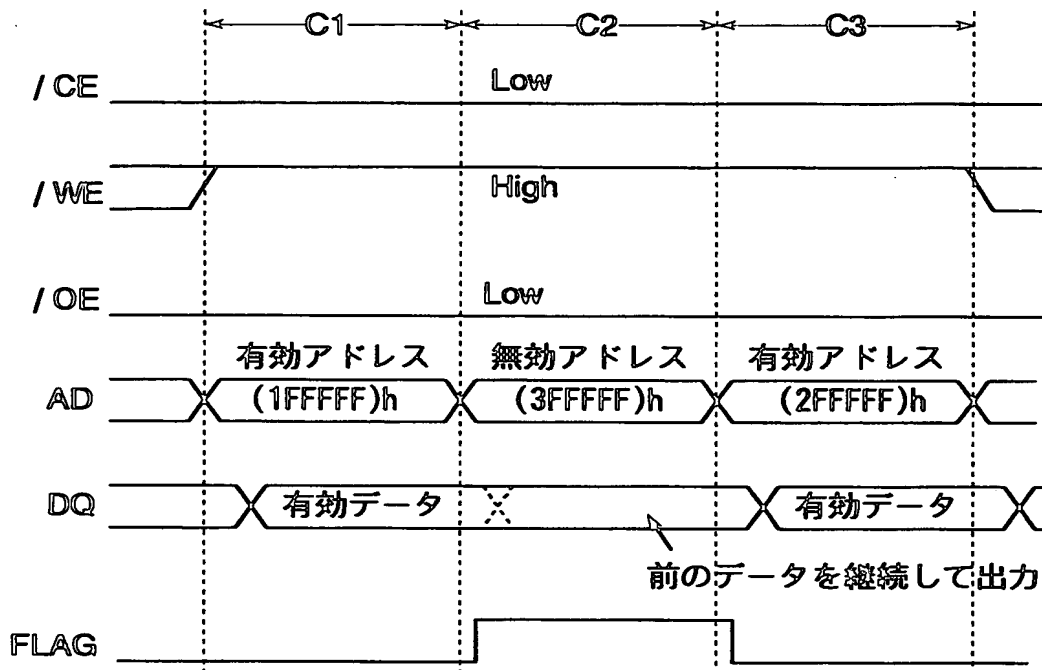
【図 2】

システム装置のアドレスマップ



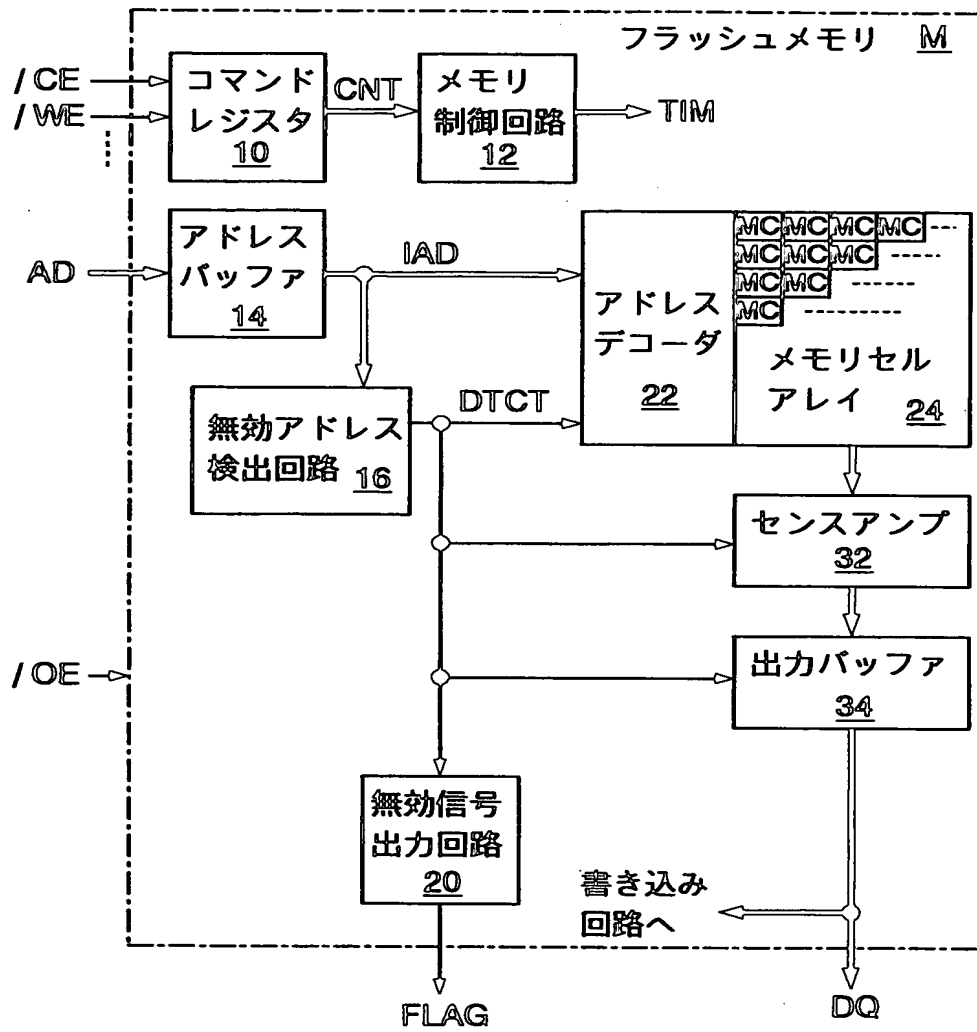
【図 3】

第 1 の実施形態の読み出し動作を示す図

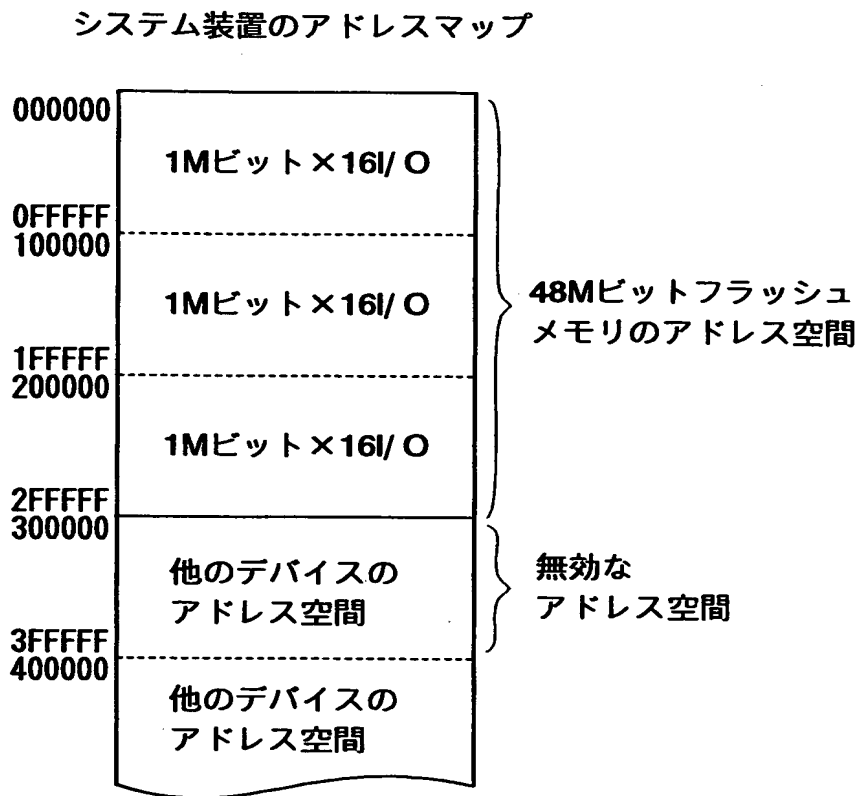


【図 4】

第 2 の実施形態を示すブロック図

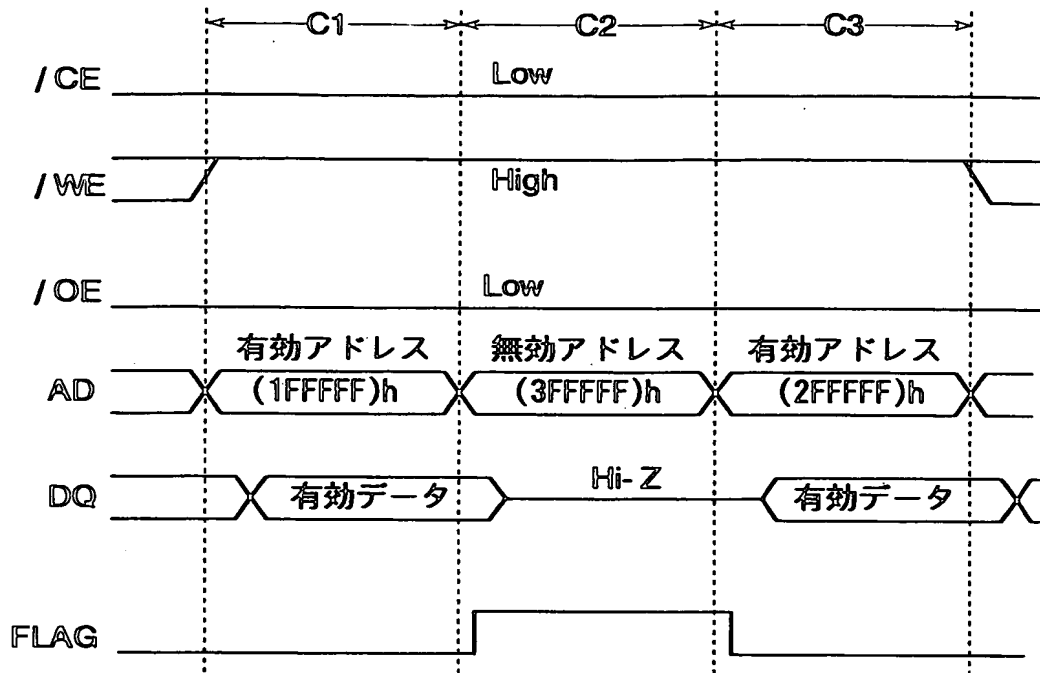


【図 5】



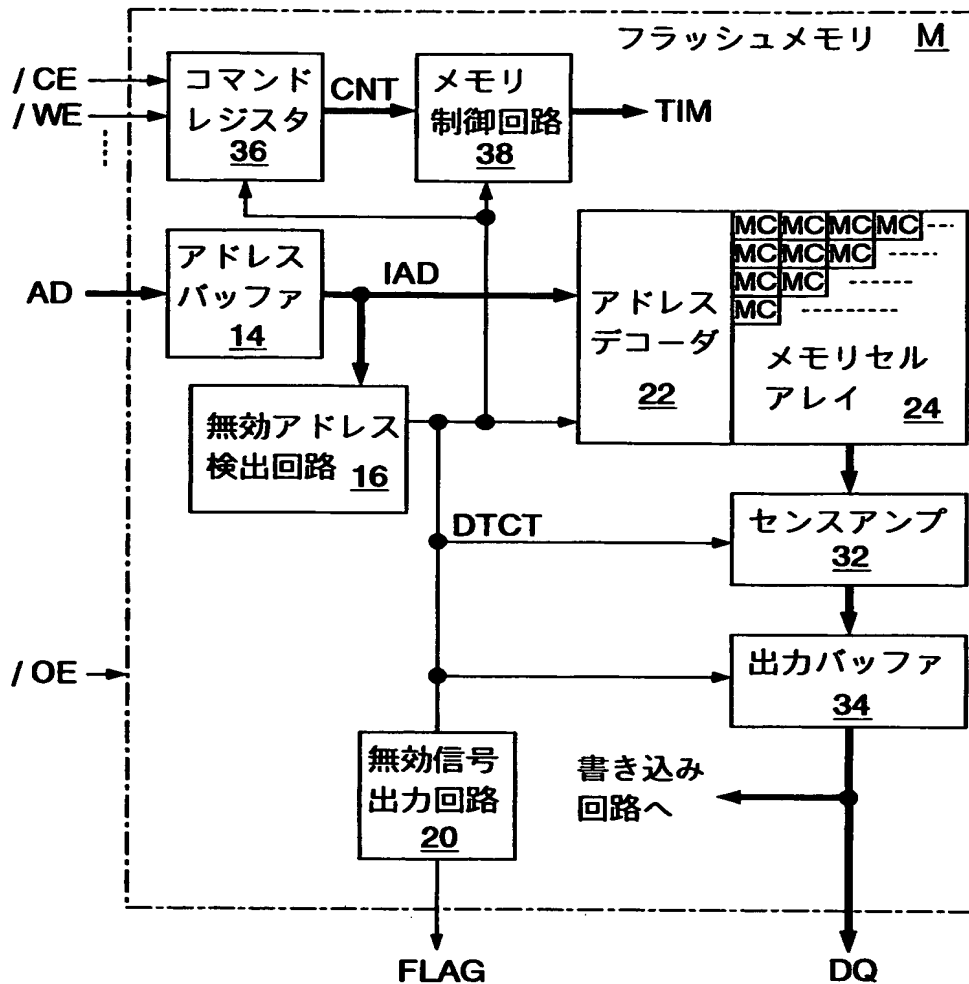
【図 6】

第 2 の実施形態の読み出し動作を示す図



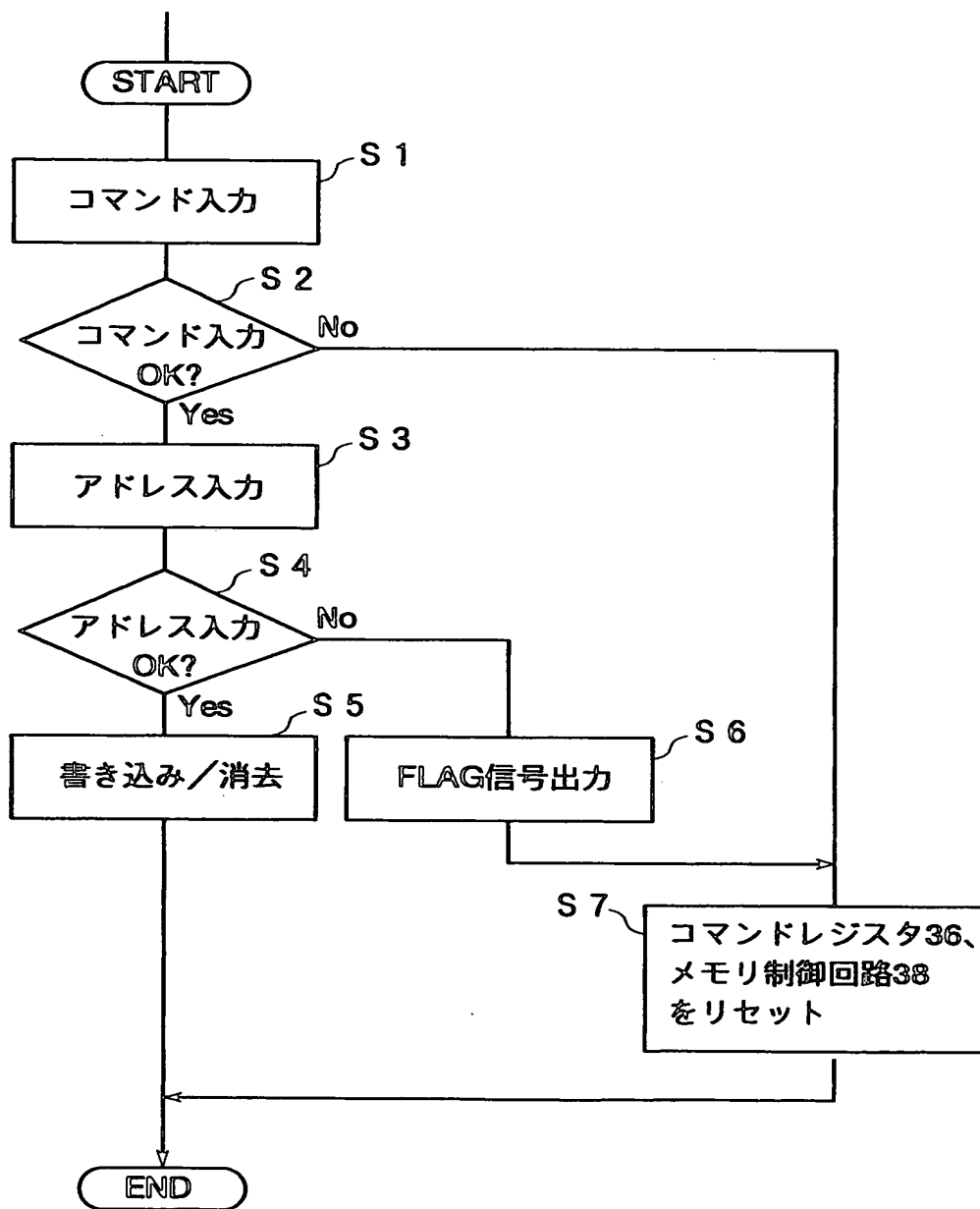
【図 7】

第 3 の実施形態を示すブロック図



【図 8】

コマンド入力処理の制御フロー



【書類名】 要約書

【要約】

【課題】 本発明は、アドレス空間が2の n 乗より大きく2の $(n+1)$ 乗より小さい半導体記憶装置に関し、無効なアドレス信号を受けたことを外部に伝達することで、半導体記憶装置を搭載するシステム装置の誤動作を未然に防止することを目的とする。

【解決手段】 複数のメモリセルと、無効アドレス検出回路と、無効信号出力回路とを有している。無効アドレス検出回路は、外部から供給されるアドレス信号がアドレス空間に対応していないことを検出する。無効信号出力回路は、無効アドレス検出回路の検出を受けて、無効信号を外部に出力する。このため、半導体記憶装置を搭載するシステム装置は、無効なアドレス信号が半導体記憶装置に供給されたことを容易に認識できる。この結果、誤動作が未然に防止され、システム装置の信頼性が向上される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.